

JTAG לאנשי פיתוח	שם הקורס:
5165	מספר הקורס:
8 שעות	משך זמן מומלץ:

תוכנית הקורס

אפליקציות בדיקה ברמת כרטיס:

- תרשים זרימה של פעילות
- בדיקת שלמותה של שרשרת
- בדיקת נכונות קשרים בין רכיבים
- קבוצות של תקלות וכיסוי תקלות
- אילוצים לוגיים
- קבוצות (קלסטרים) שלא מצוידים ב-JTAG
- אימות גישה לרכיבי זיכרון
- תכנון תוך מעגל (ISP)
- צריבה תוך מעגל

ארכיטקטורת (JTAG - IEEE 1149.1) Boundary-Scan:

- ארכיטקטורת רכיב 1149.1
- אוסף של פקודות
- תאי ה-JTAG
- כיסוי תקלות

שיטות בדיקות Boundary-Scan ברמת כרטיס:

- קינפוג שרשרת JTAG
- ביפור של אותות TAP
- התנגשויות באפיקי משותפים
- סביבת בדיקה DRAM
- פיתוח לתכנון תוך מעגל ISP
- קינפוג של רכיבי FPGA
- התאמות בין משפחות לוגיות שונות
- ביצוע JTAG ברמה המערכתית

טכנולוגיית Boundary-Scan אנלוגית ואות מעורב:

- כללי בדיקות למעגלי אות מעורב
- דוגמאות ביצוע

אודות המרצה

מהנדס אלקטרוניקה בעל תואר שלישי. מבעלי חברה העוסקת בפיתוח מערכות בדיקה. בעל למעלה מ-20 שנות ניסיון במערכות בדיקה, יועץ לחברות בתחום בדיקה ובכלל זה JTAG ו-Boundary Scan. מרצה מבוקש בעל ניסיון רב בהדרכה במסגרות אקדמיות ותעשייתיות.