

JTAG למפתחי בדיקות	שם הקורס:
5160	מספר הקורס:
24 שעות	משך זמן מומלץ:

ארכיטקטורת (JTAG - IEEE 1149.1) Boundary-Scan:

- ארכיטקטורת רכיב 1149.1
- בקר TAP, רגיסטרים
- אוסף של פקודות
- תאי ה-JTAG
- תזמון של פקודות ה-JTAG
- כיסוי תקלות

אפליקציות בדיקה ה-Boundary-Scan ברמת כרטיס:

- תרשים זרימה של פעילות
- בדיקת שלמותה של שרשרת
- בדיקת נכונות קשרים בין רכיבים
- קבוצות של תקלות וכיסוי תקלות
- אילוצים לוגיים
- קבוצות (קלסטרים) שלא מצוידים ב-JTAG
- אימות גישה לרכיבי זיכרון
- תכנון תוך מעגל (ISP)
- צריבה תוך מעגל

שיטות בדיקתיות Boundary-Scan ברמת כרטיס:

- קינפוג שרשרת JTAG
- ביפור של אותות TAP
- התנגשויות באפיקית משותפים
- סביבת בדיקה DRAM
- פיתוח לתכנון תוך מעגל ISP
- קינפוג של רכיבי FPGA
- התאמות בין משפחות לוגיות שונות
- ביצוע JTAG ברמה המערכתית

טכנולוגיית Boundary-Scan אנלוגית ואת מעורב:

- אדריכלות כללית של רכיבי 1149.4
- אוסף של פקודות
- בדיקות דיגיטאליות אנאלוגיות ופרמטריות
- אפיק בדיקה של ממשק (TBIC)
- מודול אנלוגי (ABM)
- פקודת PROBE
- כללי בדיקתיות למעגלי את מעורב

אודות המרצה

מהנדס אלקטרוניקה בעל תואר שלישי. מבעלי חברה העוסקת בפיתוח מערכות בדיקה. בעל למעלה מ-20 שנות ניסיון במערכות בדיקה, יועץ לחברות בתחום הבדיקות ובכלל זה JTAG ו-Boundary Scan. מרצה מבוקש בעל ניסיון רב בהדרכה במסגרות אקדמיות ותעשיתיות.